

CLIPPEDIMAGE= JP405082736A  
PAT-NO: JP405082736A  
DOCUMENT-IDENTIFIER: JP 05082736 A  
TITLE: INDUCTOR

PUBN-DATE: April 2, 1993

INVENTOR-INFORMATION:

NAME

ODA, MAYUMI

NAKATSUKA, TADAYOSHI

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP03173874

APPL-DATE: July 15, 1991

INT-CL (IPC): H01L027/04

US-CL-CURRENT: 257/531

ABSTRACT:

PURPOSE: To provide an inductor integratable on a semiconductor board and having a large inductance value.

CONSTITUTION: A spiral first-layer wiring 203 is formed on an Ni-Zn group thin ferrite film 202 formed in a specified region of a semiconductor board 201, and the whole is covered with an interlayer film 205. On it a spiral second-layer wiring 204b connected to the first-layer wiring 203 at a contact part 207b is formed, and finally the whole is covered with a protective film 206. Gaps 210a and 210b are provided between the elements of the first-layer wiring 203 and between those of second-layer wiring 204b. Accordingly, inductance value twenty times as large as a conventional one can be obtained by the same area by forming the Ni-Zn group thin ferrite film 202 of a ferromagnetic thin film under the first-layer wiring 203. And the gaps 210a and 210b prevent the lowering of a self resonant frequency, caused by the increase of

the capacities  
between wirings in the case where the degree of integration is  
increased.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-82736

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/04

識別記号

庁内整理番号

L 8427-4M

F I

技術表示箇所

審査請求 未請求 請求項の数3(全14頁)

(21)出願番号

特願平3-173874

(22)出願日

平成3年(1991)7月15日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小田 麻友美

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 中塚 忠良

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 宮井 暎夫

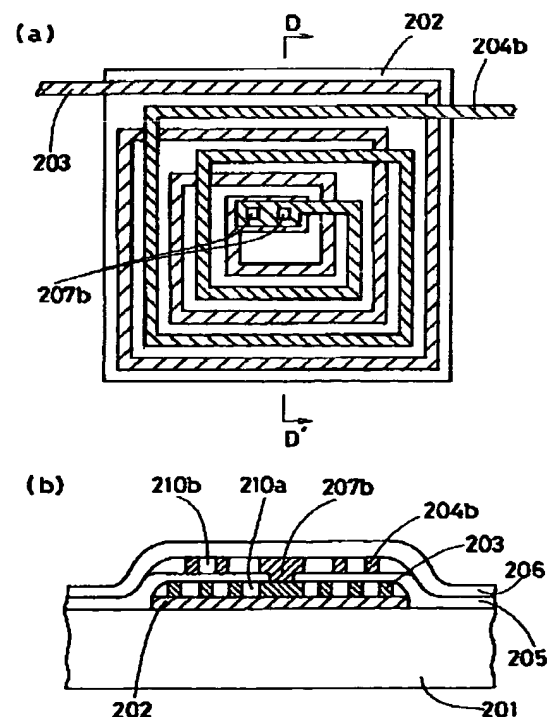
(54)【発明の名称】 インダクタ

(57)【要約】

【目的】 半導体基板上に集積化が可能であり、かつ大きなインダクタンス値を持つインダクタを提供する。

【構成】 半導体基板201の所定の領域に形成したNi-Zn系フェライト薄膜202の上に渦状の第1層配線203を形成し、全体を層間膜205で覆い、その上に第1層配線203とコンタクト部207bで接続した渦状の第2層配線204bを形成し、最後に全体を保護膜206で覆っている。第1層配線203の間および第2層配線204bの間に空隙210a、210bを設けている。

【効果】 第1層配線203の下部に強磁性体薄膜であるNi-Zn系フェライト薄膜202を形成したことにより、同一面積で従来比20倍以上のインダクタンス値が得られる。空隙210a、210bを設けることにより、集積度を高めた時の各配線間容量の増加による自己共振周波数の低下を防ぐことができる。



1

2

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成した渦状の金属薄膜と、この金属薄膜の上面または下面に形成した強磁性体薄膜とを備えたインダクタ。

【請求項2】 半導体基板上に形成した第1の渦状の金属薄膜と、この第1の渦状の金属薄膜上にコンタクト部を介して接続した第2の渦状の金属薄膜と、前記第1の渦状の金属薄膜と前記第2の渦状の金属薄膜との間に形成した誘電体薄膜と、前記第1の渦状の金属薄膜の下面または前記第2の渦状の金属薄膜の上面に形成した強磁性体薄膜とを備えたインダクタ。

【請求項3】 半導体基板上に形成した第1の渦状の金属薄膜と、この第1の渦状の金属薄膜上にコンタクト部を介して接続した第2の渦状の金属薄膜と、前記第1の渦状の金属薄膜と前記第2の渦状の金属薄膜との間に形成した第1の強磁性体薄膜と、前記第1の渦状の金属薄膜の下面または前記第2の渦状の金属薄膜の上面に形成した第2の強磁性体薄膜とを備えたインダクタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、半導体基板上に集積化された高周波回路に使用されるインダクタに関する。

## 【0002】

【従来の技術】図11に従来の高周波増幅回路として高周波初段増幅部の回路図を示す。図11において、101は入力同調回路部、102は出力同調回路部、103は高周波増幅器、111～114は同調回路用インダクタ、115はDC電流供給用チョークコイル、120、121は可変容量ダイオード、122～125は結合用コンデンサ、126は高周波接地用コンデンサ、130は電界効果トランジスタ（以後FETと呼ぶ）、131は集積化部、140～143はバイアス抵抗、150は入力端子、151は出力端子、160は増幅器の電源端子、161、162は選局用電圧印加端子、163は接地である。以上のように構成された高周波初段増幅部について以下その動作を説明する。

【0003】高周波増幅器103を構成するFET130は、抵抗140、141により最適動作点に自己バイアスされており、ソース端子はコンデンサ126により高周波的に接地されている。また、ドレイン端子には電源からDC電流を供給するためにチョークコイル115を接続し、高周波信号が電源側に漏れないようにしている。高周波増幅器103の入力インピーダンスは、それより前段の回路及び伝送線路のインピーダンスである50Ωより高い値を持つため、入力同調回路部101によりインピーダンス整合を行っている。また入力同調回路部101は、インダクタ111、112及び可変容量ダイオード120で構成される共振回路の共振周波数と同じ周波数の信号のみ通過させるという性質を持っており、希望する周波数の信号だけを選び出すことができ

る。入力同調回路部101の共振周波数を変えたいときは、選局用電圧印加端子161の電圧を変えることにより可変容量ダイオード120の容量値を変え、希望する別の周波数の信号を選び出す。出力同調回路部102についても入力同調回路部101と同様の機能を有しており、出力インピーダンス整合及び周波数同調を行なう。

【0004】尚、図11の高周波増幅回路のうち、集積化されている部分はFET130を含む集積化部131のみであり、他はすべて個別の部品により構成されている。例えば受信周波数100MHz～470MHzの高周波増幅回路を設計すると、インダクタ111、112は、0.3mmφの銅線を直径5mm、巻数はそれぞれ10回と28回必要になる。

## 【0005】

【発明が解決しようとする課題】しかしながら上記従来の構成の高周波増幅回路では、同調回路用インダクタ111～114及びDC電流供給用チョークコイル115が、大きな実装面積を必要とするため機器全体の小型化が困難であり、また半導体基板上に集積化するにはIC回路の数倍の面積を必要とするという問題点を有していた。

【0006】この発明の目的は、半導体基板上に集積化が可能であり、かつ大きなインダクタンス値をもつインダクタを提供することである。

## 【0007】

【課題を解決するための手段】請求項1記載のインダクタは、半導体基板上に形成した渦状の金属薄膜と、この金属薄膜の上面または下面に形成した強磁性体薄膜とを備えている。請求項2記載のインダクタは、半導体基板上に形成した第1の渦状の金属薄膜と、この第1の渦状の金属薄膜上にコンタクト部を介して接続した第2の渦状の金属薄膜と、第1の渦状の金属薄膜と第2の渦状の金属薄膜との間に形成した誘電体薄膜と、第1の渦状の金属薄膜の下面または第2の渦状の金属薄膜の上面に形成した強磁性体薄膜とを備えている。

【0008】請求項3記載のインダクタは、半導体基板上に形成した第1の渦状の金属薄膜と、この第1の渦状の金属薄膜上にコンタクト部を介して接続した第2の渦状の金属薄膜と、第1の渦状の金属薄膜と第2の渦状の金属薄膜との間に形成した第1の強磁性体薄膜と、第1の渦状の金属薄膜の下面または第2の渦状の金属薄膜の上面に形成した第2の強磁性体薄膜とを備えている。

## 【0009】

【作用】この発明の構成によれば、渦状の金属薄膜の上面または下面に強磁性体薄膜を備えることにより、大きなインダクタンス値を持つインダクタを半導体基板上に集積化することができる。

## 【0010】

【実施例】〔第1の実施例〕図1はこの発明の第1の実施例のインダクタを示すものである。図1(a)は上面

3

図、図1(b)は図1(a)のA-A'における断面図である。図1において、201は半導体基板、202はNi-Zn系フェライト薄膜(強磁性体薄膜)、203は第1層配線(渦状の金属薄膜)、204aは第2層配線、205はSiNまたはSiO<sub>2</sub>を用いた層間膜、206はSiNまたはSiO<sub>2</sub>を用いた保護膜、207aは第1層配線203と第2層配線204aとのコンタクト部である。

【0011】図1(a)に示すように、Ni-Zn系フェライト薄膜202の上に渦状の第1層配線203を形成し、その中央部よりコンタクト部207aを通して第2層配線204aと接続している。強磁性体薄膜として、高周波における磁心損失が小さいNi-Zn系フェライト薄膜202を用いることにより、高周波回路に適したインダクタが構成できる。また、図1(b)に示すように、第1層及び第2層配線203、204aは、層間膜205、保護膜206により覆われており、外的な力から保護されている。

【0012】以上のように構成されるインダクタのプロセスフローを図2に示す。まず、図2(a)に示すように、半導体基板201上にNi-Zn系フェライトを全面に蒸着し、フォトリソ500AをマスクとしてArイオンミリングを行い、半導体基板201上の所定の領域にNi-Zn系フェライト薄膜202を形成する。次にフォトリソ500A除去後、同図(b)に示すように、フォトリソ500Bを塗布した後、Auを全面に蒸着し、リフトオフによって第1層配線203を形成する。

【0013】次に、同図(c)に示すように、SiNあるいはSiO<sub>2</sub>を全面に堆積し、層間膜205を形成した後、層間膜205の所定の領域をフォトリソ膜(図示せず)をマスクとしてフッ酸系のエッチング液を用いて開口し、第1層配線203と第2層配線204aとのコンタクト部207aを形成する。次に、同図(d)に示すように、Au204a'を全面に蒸着した後、フォトリソ500CをマスクとしてArイオンミリングを行い、第2層配線204aを形成する。次に同図(e)に示すように、SiNあるいはSiO<sub>2</sub>を全面に堆積して保護膜206を形成することにより、インダクタを製造するものである。

【0014】この実施例によれば、強磁性体薄膜であるNi-Zn系フェライト薄膜202の上に渦状の第1層配線203を形成したことにより、従来のインダクタと比較して同一面積で約20倍の大きなインダクタンス値を得ることができる。

〔第2の実施例〕図3はこの発明の第2の実施例のインダクタを示すものである。図3(a)は上面図、図3(b)は図3(a)のB-B'における断面図である。図3において、201は半導体基板、202はNi-Zn系フェライト薄膜(強磁性体薄膜)、203は第1層

4

配線(渦状の金属薄膜)、204aは第2層配線、205はSiNまたはSiO<sub>2</sub>を用いた層間膜、206はSiNまたはSiO<sub>2</sub>を用いた保護膜、207aは第1層配線203と第2層配線204aとのコンタクト部、210は第1層配線203の間に設けられた空隙である。

【0015】図3(a)に示すように、Ni-Zn系フェライト薄膜202の上に渦状の第1層配線203を形成し、その中央部よりコンタクト部207aを通して第2層配線204aと接続している。強磁性体薄膜として、高周波における磁心損失が小さいNi-Zn系フェライト薄膜202を用いることにより、高周波回路に適したインダクタが構成できる。また、図3(b)に示すように、第1層及び第2層配線203、204aは、層間膜205、保護膜206により覆われており、外的な力から保護されている。

【0016】以上のように構成されるインダクタのプロセスフローを図4に示す。まず、図4(a)に示すように、半導体基板201上にNi-Zn系フェライトを全面に蒸着し、フォトリソ500DをマスクとしてArイオンミリングを行い、半導体基板201上の所定の領域にNi-Zn系フェライト薄膜202を形成する。次にフォトリソ500D除去後、同図(b)に示すように、フォトリソ500Eを塗布した後Auを全面に蒸着し、リフトオフによって第1層配線203を形成する。

【0017】次に、同図(c)に示すように、所定の領域にフォトリソ500Fを塗布し、レジストエッチバックによって第1層配線203の頭出しを行う。次に同図(d)に示すように、SiNあるいはSiO<sub>2</sub>を全面に堆積した後、有機溶剤を用いてレジスト500Fを除去して、層間膜205を形成し、第1層配線203の間に空隙210を設ける。その後、層間膜205の所定の領域をフォトリソ膜(図示せず)をマスクとしてフッ酸系のエッチング液を用いて開口し、第1層配線と第2層配線とのコンタクト部207aを形成する。

【0018】次に、同図(e)に示すように、全面にAu204a'を蒸着した後、フォトリソ500GをマスクとしてArイオンミリングを行い、第2層配線204aを形成する。次に同図(f)に示すように、全面にSiNあるいはSiO<sub>2</sub>を全面に堆積して保護膜206を形成することにより、インダクタを製造するものである。

【0019】この実施例によれば、第1の実施例と同様、小面積で大きなインダクタンス値を得ることができる。また、第1層配線203の間に空隙210を設けることにより、集積化した場合、配線間の容量を低減することができ、インダクタの自己共振周波数を高めることができる。

〔第3の実施例〕図5はこの発明の第3の実施例のインダクタを示すものである。図5(a)は上面図、図5

5

(b)は図5(a)のC-C'における断面図である。図5において、201は半導体基板、202はNi-Zn系フェライト薄膜(強磁性体薄膜)、203は第1層配線(第1の渦状の金属薄膜)、204bは第2層配線(第2の渦状の金属薄膜)、205はSiNまたはSiO<sub>2</sub>を用いた層間膜(誘電体薄膜)、206はSiNまたはSiO<sub>2</sub>を用いた保護膜、207bは第1層配線203と第2層配線204bとのコンタクト部である。

【0020】図5(a)に示すように、Ni-Zn系フェライト薄膜202の上に渦状の第1層配線203を形成し、全体を層間膜205で覆い、さらにその上に渦状の第2層配線204bを第1層配線203と重ならないように形成し、最後に全体を保護膜206で覆っている。第1層配線203と第2層配線204bとはインダクタ中央のコンタクト部207bで接続されている。強磁性体薄膜として、高周波における磁心損失が小さいNi-Zn系フェライト薄膜202を用いることにより、高周波回路に適したインダクタが構成できる。また、図5(b)に示すように、第1層及び第2層配線203、204bは、層間膜205、保護膜206により覆われており、外的な力から保護されている。

【0021】以上のように構成されるインダクタのプロセスフローを図6に示す。まず、図6(a)に示すように、半導体基板201上にNi-Zn系フェライトを全面に蒸着し、フォトリソスト500HをマスクとしてAryオンミリングを行い、半導体基板201上の所定の領域にNi-Zn系フェライト薄膜202を形成する。次にフォトリソスト500H除去後、同図(b)に示すように、フォトリソスト500Iを塗布した後Auを全面に蒸着し、リフトオフによって第1層配線203を形成する。

【0022】次に、同図(c)に示すように、SiNあるいはSiO<sub>2</sub>を全面に堆積し、層間膜205を形成した後、層間膜205の所定の領域をフォトリソスト膜(図示せず)をマスクとしてフッ酸系のエッチング液を用いて開口し、第1層配線203と第2層配線204bとのコンタクト部207bを形成する。次に、同図

(d)に示すように、フォトリソスト500Jを塗布した後Auを全面に蒸着し、リフトオフによって第2層配線204bを形成する。次に同図(e)に示すように、SiNあるいはSiO<sub>2</sub>を全面に堆積し、保護膜206を形成することにより、インダクタを製造するものである。

【0023】この実施例によれば、強磁性体薄膜であるNi-Zn系フェライト薄膜202の上に渦状の第1層配線203と渦状の第2層配線204bとを形成したことにより、従来のインダクタと比較して同一面積で約40倍の大きなインダクタンス値を得ることができる。

〔第4の実施例〕図7はこの発明の第4の実施例のインダクタを示すものである。図7(a)は上面図、図7

6

(b)は図7(a)のD-D'における断面図である。図7において、201は半導体基板、202はNi-Zn系フェライト薄膜(強磁性体薄膜)、203は第1層配線(第1の渦状の金属薄膜)、204bは第2層配線(第2の渦状の金属薄膜)、205はSiNまたはSiO<sub>2</sub>を用いた層間膜(誘電体薄膜)、206はSiNまたはSiO<sub>2</sub>を用いた保護膜、207bは第1層配線と第2層配線とのコンタクト部、210aは第1層配線203の間に設けた空隙、210bは第2層配線204bの間に設けた空隙である。

【0024】図7(a)に示すように、Ni-Zn系フェライト薄膜202の上に渦状の第1層配線203を形成し、全体を層間膜205で覆い、さらにその上に渦状の第2層配線204bを第1層配線203と重ならないように形成し、最後に全体を保護膜206で覆っている。第1層配線203と第2層配線204bとはインダクタ中央のコンタクト部207bで接続されている。強磁性体薄膜として、高周波における磁心損失が小さいNi-Zn系フェライト薄膜202を用いることにより、高周波回路に適したインダクタが構成できる。また、図7(b)に示すように、第1層及び第2層配線203、204bは、層間膜205、保護膜206により覆われており、外的な力から保護されている。

【0025】以上のように構成されるインダクタのプロセスフローを図8に示す。まず、図8(a)に示すように、半導体基板201上にNi-Zn系フェライトを全面に蒸着し、フォトリソスト500KをマスクとしてAryオンミリングを行い、半導体基板201上の所定の領域にNi-Zn系フェライト薄膜202を形成する。次にフォトリソスト500K除去後、同図(b)に示すように、フォトリソスト500Lを塗布した後Auを全面に蒸着し、リフトオフによって第1層配線203を形成する。

【0026】次に、同図(c)に示すように、所定の領域にフォトリソスト500Mを塗布し、レジストエッチバックによって第1層配線203の頭出しを行う。次に同図(d)に示すように、SiNあるいはSiO<sub>2</sub>を全面に堆積した後有機溶剤を用いてレジスト500Mを除去して層間膜205を形成し、第1層配線203の間に空隙210aを設ける。その後、層間膜205の所定の領域をフォトリソスト膜(図示せず)をマスクとしてフッ酸系のエッチング液を用いて開口し、第1層配線203と第2層配線204bとのコンタクト部207bを形成する。

【0027】次に、同図(e)に示すように、フォトリソスト500Nを塗布した後Auを全面に蒸着し、リフトオフによって第2層配線204bを形成する。次に同図(f)に示すように、所定の領域にフォトリソスト500Pを塗布し、レジストエッチバックによって第2層配線204bの頭出しを行う。次に同図(g)に示すよ

7

うに、SiNあるいはSiO<sub>2</sub>を全面に堆積した後に有機溶剤を用いてフォトレジスト500Pを除去して保護膜206を形成し、第2層配線204bの間に空隙210bを設けることにより、インダクタを製造するものである。

【0028】この実施例によれば、第3の実施例と同様、小面積で大きなインダクタンス値を得ることができる。また、第1層配線203の間および第2層配線204bの間に空隙210a、210bを設けることにより、集積化した場合、配線間の容量を低減することができ、インダクタの自己共振周波数を高めることができる。

〔第5の実施例〕図9はこの発明の第5の実施例のインダクタを示すものである。図9(a)は上面図、図9(b)は図9(a)のE-E'における断面図である。図9において、201は半導体基板、202はNi-Zn系フェライト薄膜(第2の強磁性体薄膜)、203は第1層配線(第1の渦状の金属薄膜)、204bは第2層配線(第2の渦状の金属薄膜)、220はNi-Zn系フェライトを用いた層間膜(第1の強磁性体薄膜)、206はSiNまたはSiO<sub>2</sub>を用いた保護膜、207bは第1層配線203と第2層配線204bとのコンタクト部、210aは第1層配線203の間に設けた空隙、210bは第2層配線204bの間に設けた空隙である。

【0029】図9(a)に示すように、Ni-Zn系フェライト薄膜202の上に渦状の第1層配線203を形成し、所定の領域をNi-Zn系フェライトの層間膜220で覆い、さらにその上に渦状の第2層配線204bを第1層配線203と重ならないように形成し、最後に全体を保護膜206で覆っている。第1層配線203と第2層配線204bとはインダクタ中央のコンタクト部207bで接続されている。強磁性体薄膜として、高周波における磁心損失が小さいNi-Zn系フェライト薄膜(202、220)を用いることにより、高周波回路に適したインダクタが構成できる。また、図9(b)に示すように第1層及び第2層配線203、204bは保護膜206により覆われており、外的な力から保護されている。

【0030】以上のように構成されるインダクタのプロセスフローを図10に示す。まず、図10(a)に示すように、半導体基板201上にNi-Zn系フェライトを全面に蒸着し、フォトレジスト500QをマスクとしてArイオンミリングを行い、半導体基板201上の所定の領域にNi-Zn系フェライト薄膜202を形成する。次にフォトレジスト500Q除去後、同図(b)に示すように、フォトレジスト500Rを塗布した後Auを全面に蒸着し、リフトオフによって第1層配線203を形成する。

【0031】次に、同図(c)に示すように、所定の領

8

域にフォトレジスト500Sを塗布し、レジストエッチバックによって第1層配線203の頭出しを行う。次に同図(d)に示すように、Ni-Zn系フェライトを全面に堆積し、不要な部分を除去した後に有機溶剤を用いてレジスト500Sを除去して、Ni-Zn系フェライト薄膜を用いた層間膜220を形成し、第1層配線203の間に空隙210aを設ける。その後、層間膜220の所定の領域をフォトレジスト膜(図示せず)をマスクとしてフッ酸系のエッチング液を用いて開口し、第1層配線203と第2層配線204bとのコンタクト部207bを形成する。

【0032】次に、同図(e)に示すように、フォトレジスト500Tを塗布した後Auを全面に蒸着し、リフトオフによって第2層配線204bを形成する。次に同図(f)に示すように、所定の領域にフォトレジスト500Uを塗布し、レジストエッチバックによって第2層配線204bの頭出しを行う。次に同図(g)に示すように、SiNあるいはSiO<sub>2</sub>を全面に堆積した後に有機溶剤を用いてフォトレジスト500Uを除去して、保護膜206を形成し、第2層配線204bの間に空隙210bを設けることにより、インダクタを製造するものである。

【0033】この実施例によれば、第3、第4の実施例と比べ、第1層配線203はNi-Zn系フェライトの層間膜220で覆われており、より大きなインダクタンス値が得られる。また、第4の実施例と同様、第1層配線203の間および第2層配線204bの間に空隙210a、210bを設けることにより、集積化した場合、配線間の容量を低減することができ、インダクタの自己共振周波数を高めることができる。

【0034】

【発明の効果】このようにこの発明によれば、半導体基板上に大きなインダクタンス値を持つインダクタの集積化が可能となり、例えば入出力同調回路部及び電源部のインダクタを含む高周波増幅回路を同一半導体基板上に集積化することが可能となる。また、渦状の金属薄膜の間に空隙を設けることにより、自己共振周波数の高いインダクタを得ることができる。

【図面の簡単な説明】

【図1】(a)はこの発明の第1の実施例のインダクタの上面図である。(b)は同インダクタの断面図である。

【図2】この発明の第1の実施例のインダクタのプロセスフロー図である。

【図3】(a)はこの発明の第2の実施例のインダクタの上面図である。(b)は同インダクタの断面図である。

【図4】この発明の第2の実施例のインダクタのプロセスフロー図である。

【図5】(a)はこの発明の第3の実施例のインダクタ

9

の上面図である。(b)は同インダクタの断面図である。

【図6】この発明の第3の実施例のインダクタのプロセスフロー図である。

【図7】(a)はこの発明の第4の実施例のインダクタの上面図である。(b)は同インダクタの断面図である。

【図8】この発明の第4の実施例のインダクタのプロセスフロー図である。

【図9】(a)はこの発明の第5の実施例のインダクタの上面図である。(b)は同インダクタの断面図である。

10

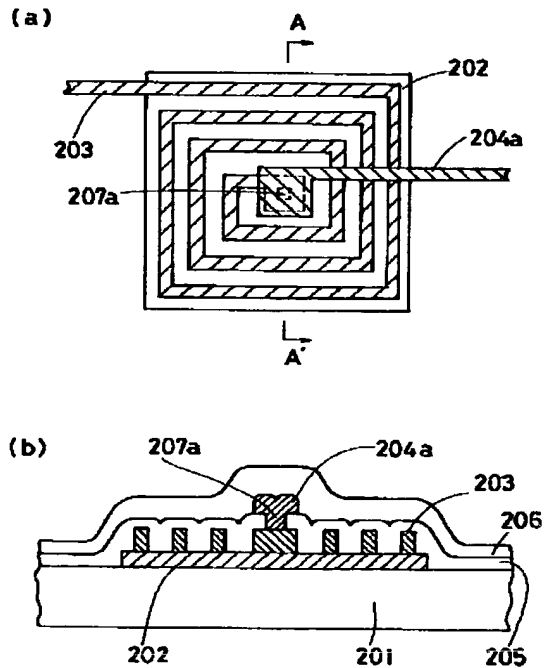
【図10】この発明の第5の実施例のインダクタのプロセスフロー図である。

【図11】従来例における高周波増幅回路の回路図である。

【符号の説明】

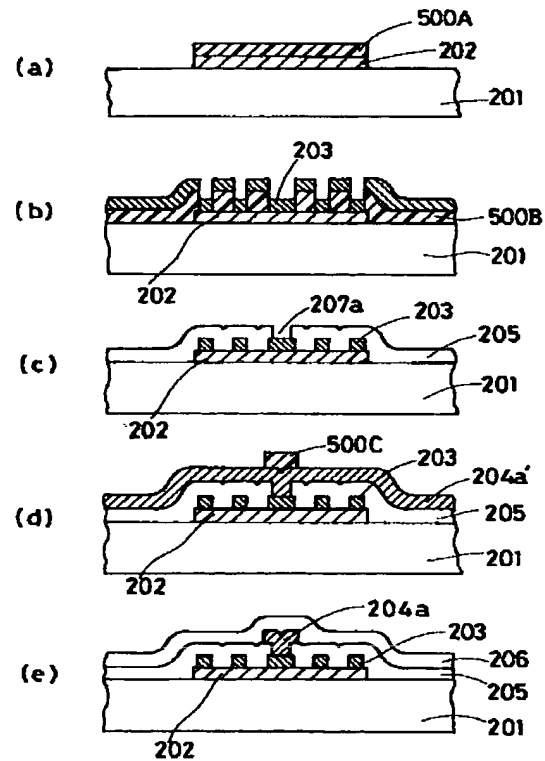
- 201 半導体基板
- 202 Ni-Zn系フェライト薄膜
- 203 第1層配線
- 204b 第2層配線
- 205 層間膜
- 207b コンタクト部
- 220 Ni-Zn系フェライトの層間膜

【図1】



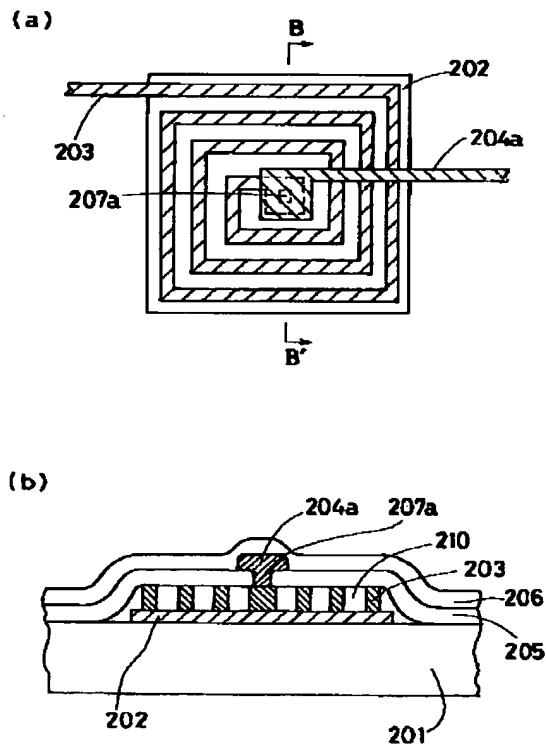
- 201 半導体基板
- 202 Ni-Zn系フェライト薄膜 (強磁性体薄膜)
- 203 第1層配線 (渦状の金属薄膜)

【図2】

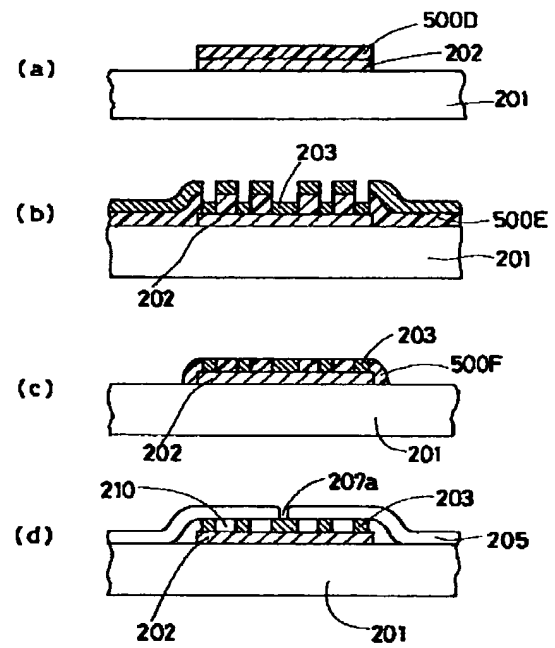




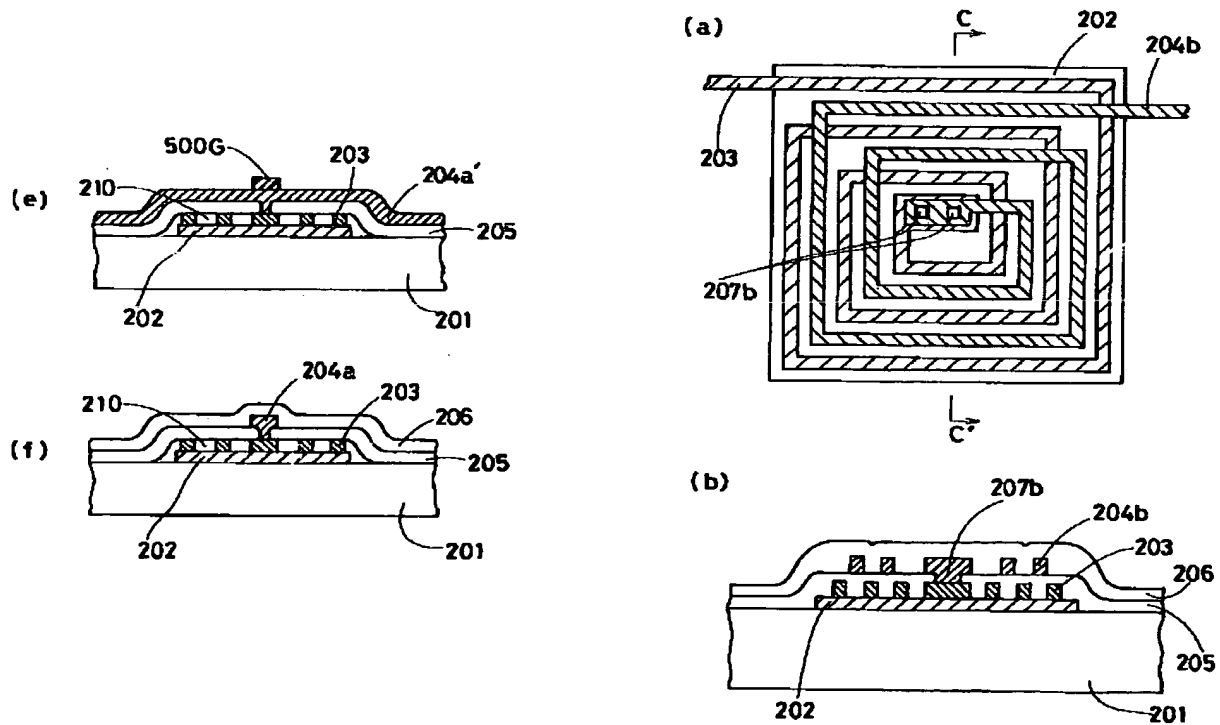
【図3】



【図4】

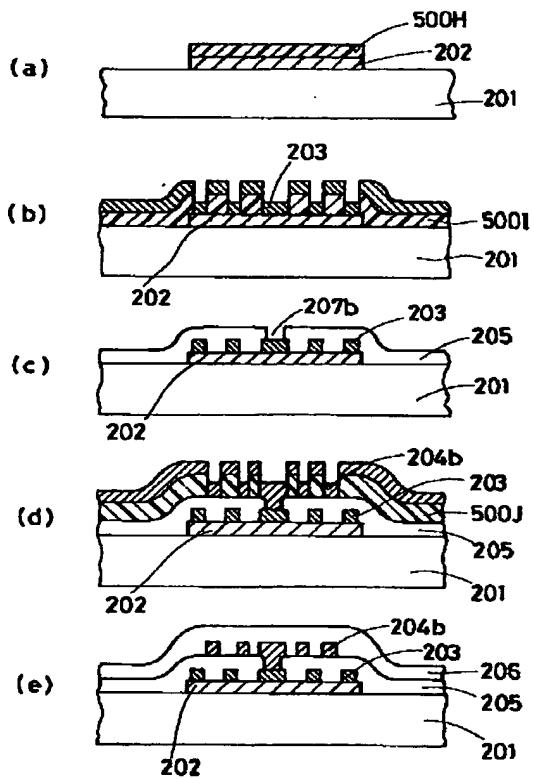


【図5】

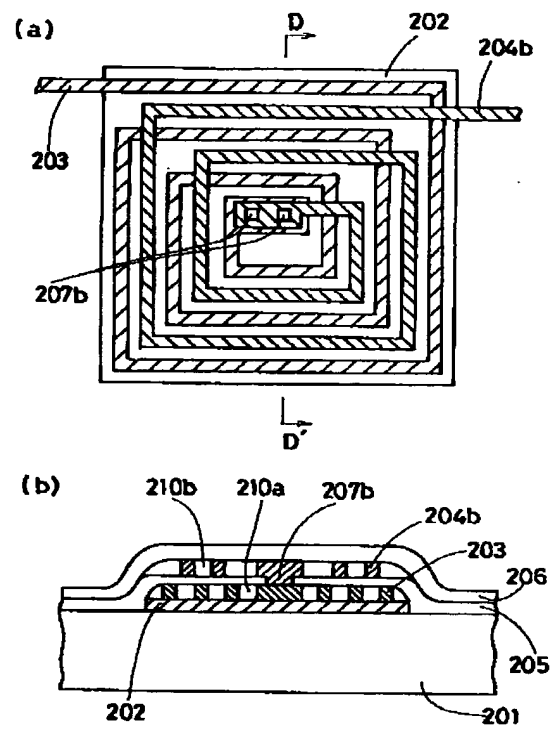


203 第1層配線 (第1の渦状の金属薄膜)  
 204b 第2層配線 (第2の渦状の金属薄膜)  
 205 腐蝕膜 (誘電体薄膜)  
 207b コンタクト部

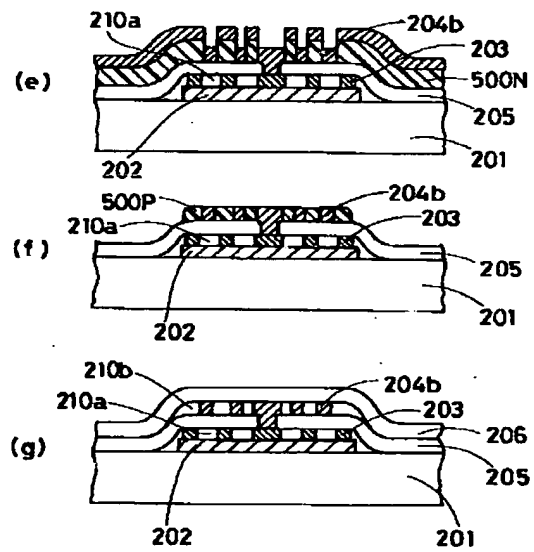
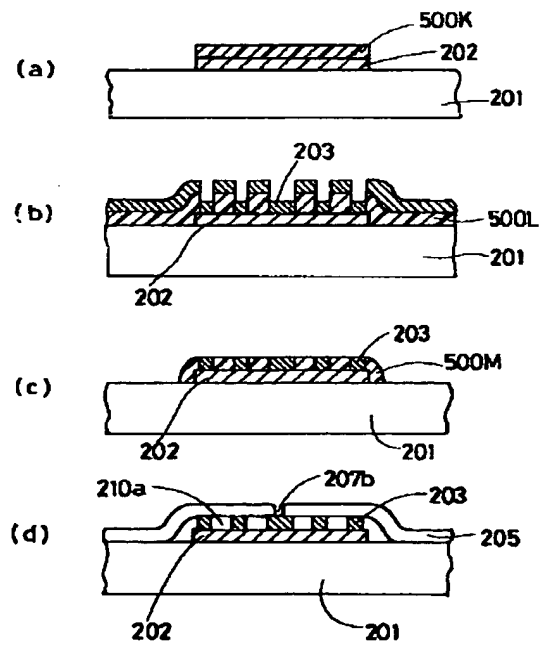
【図6】



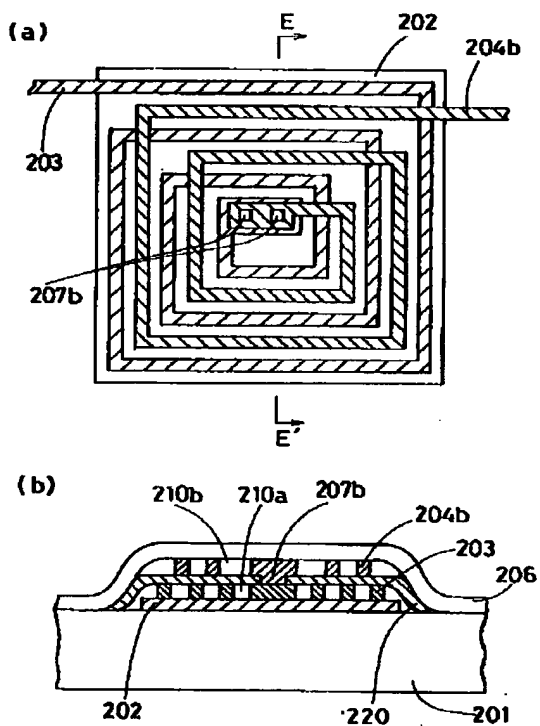
【図7】



【図8】

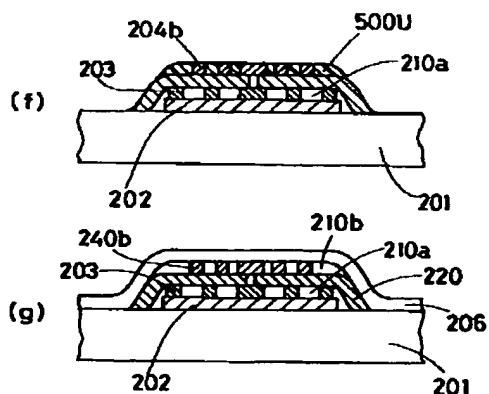
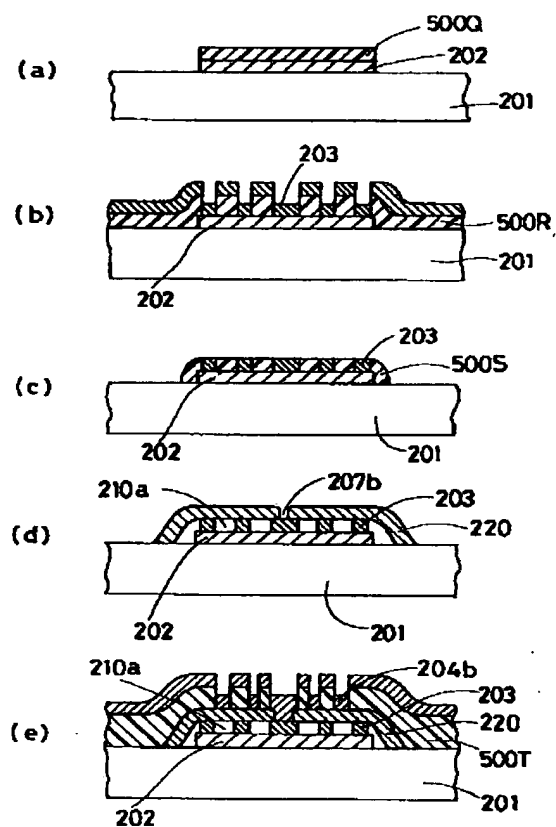


【図9】

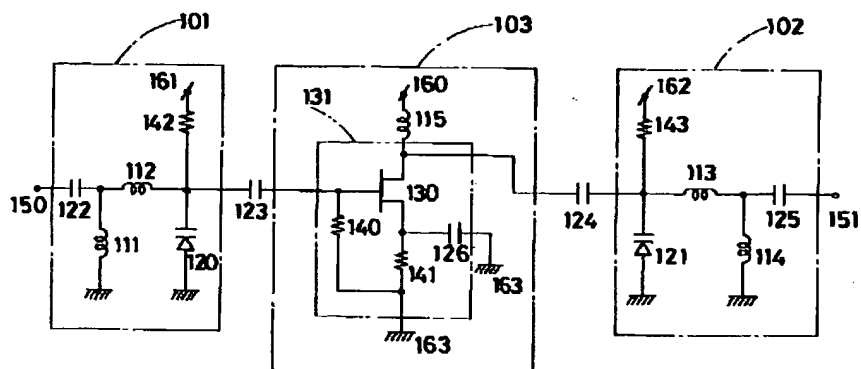


- 202 Ni-Zn系フェライト薄膜 (第2の強磁性体薄膜)  
 203 第1層配線 (第1の高状の金属薄膜)  
 204b 第2層配線 (第2の高状の金属薄膜)  
 207b コンタクト部  
 220 Ni-Zn系フェライトの層間膜 (第1の強磁性体薄膜)

【図10】



【図11】



【手続補正書】

【提出日】平成4年10月20日

【手続補正1】

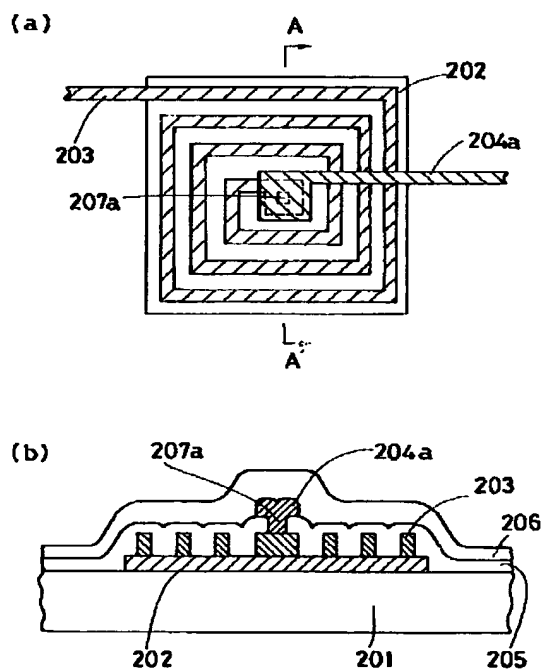
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

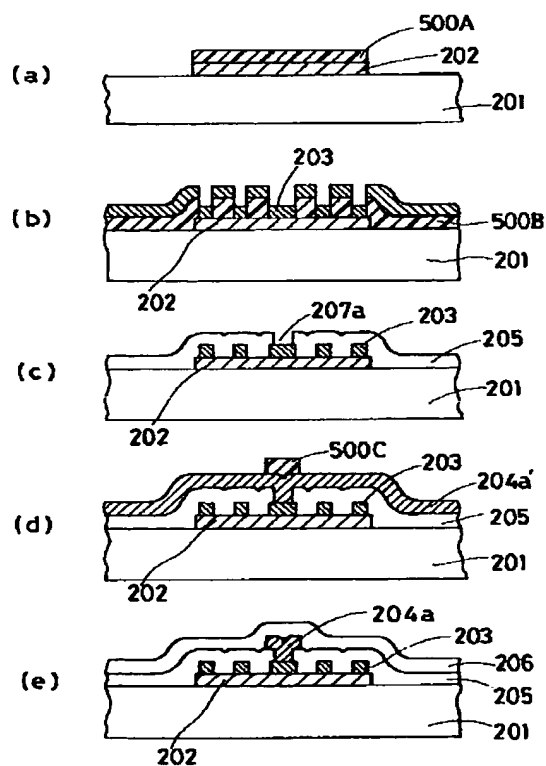
【補正内容】

【図1】

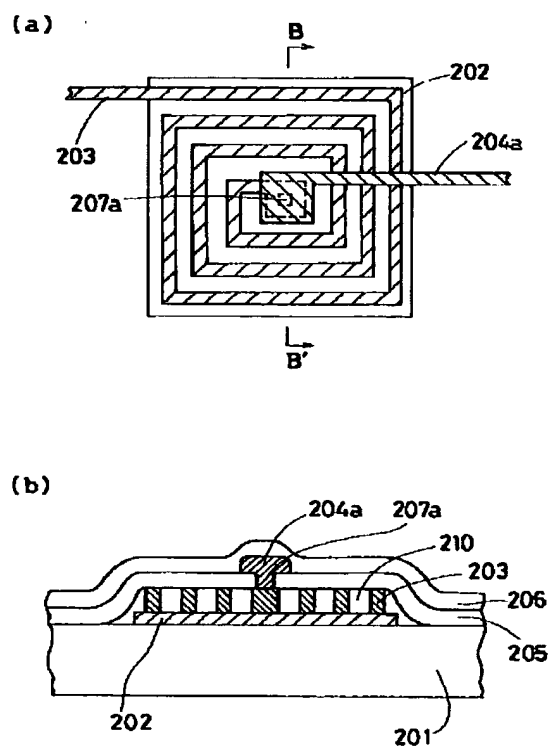


- 201 半導体基板  
 202 Ni-Zn系フェライト薄膜（強磁性体薄膜）  
 203 第1層配線（渦状の金属薄膜）

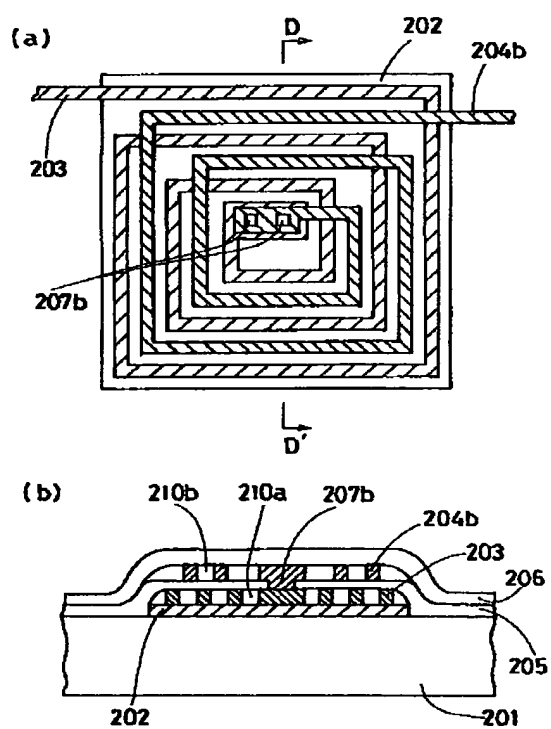
【図2】



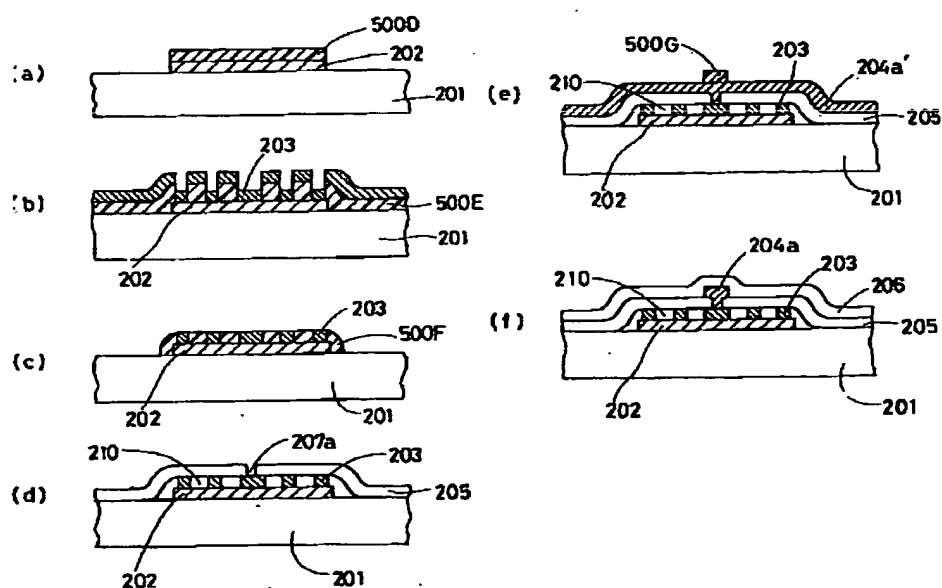
【図3】



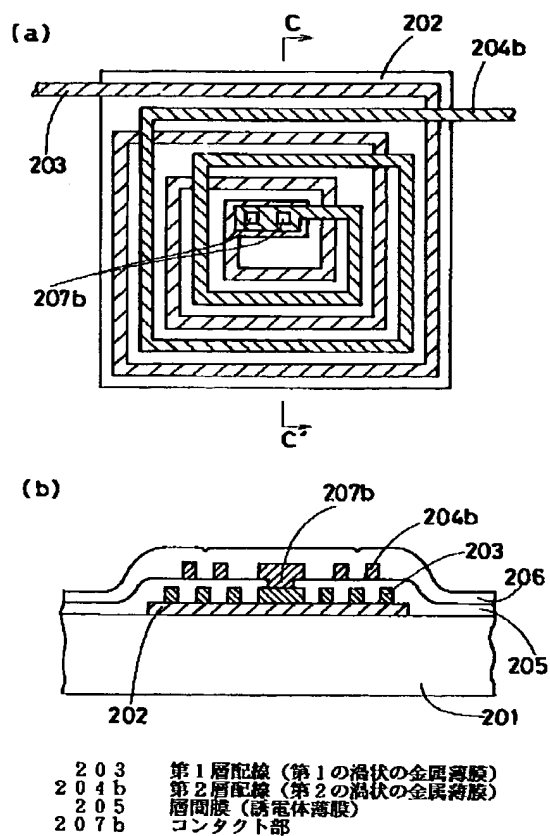
【図7】



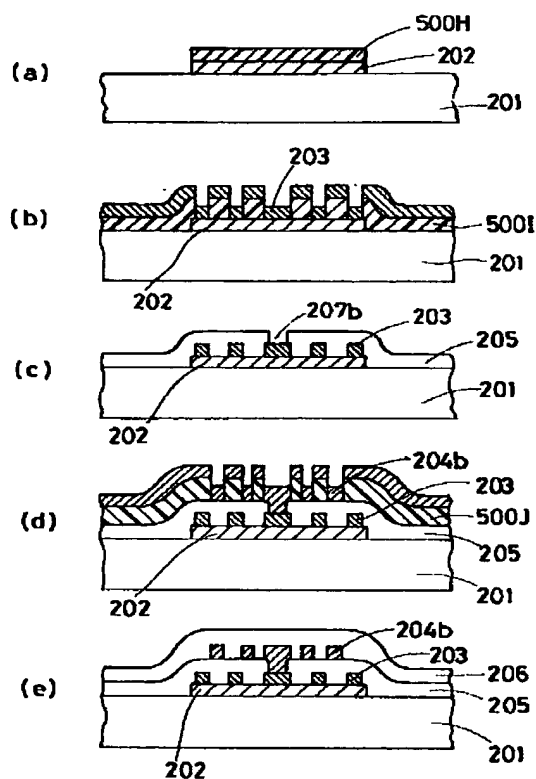
【図4】



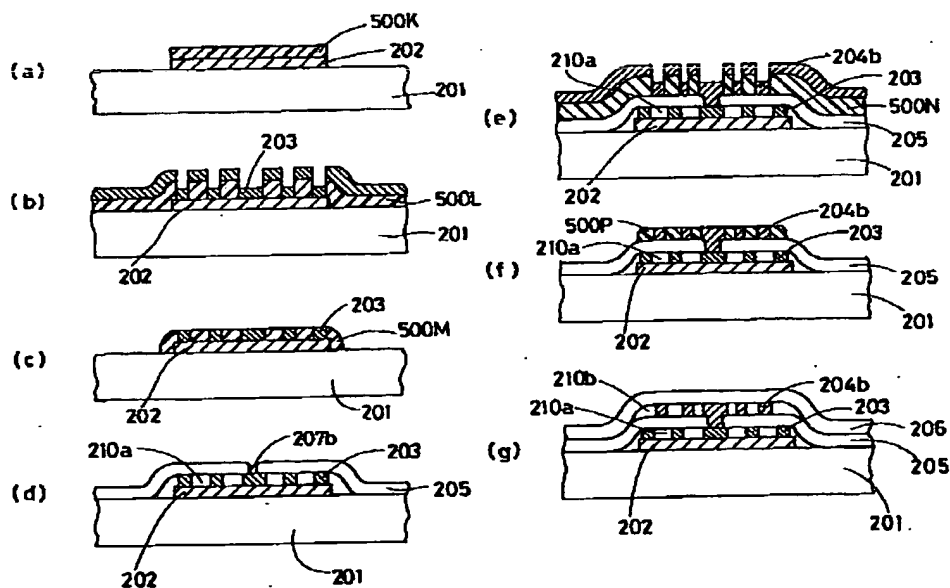
【図5】



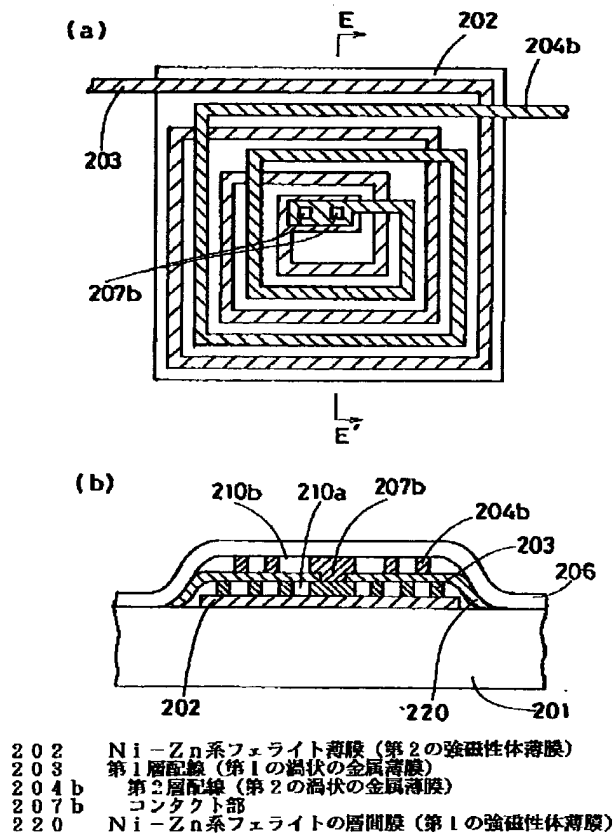
【図6】



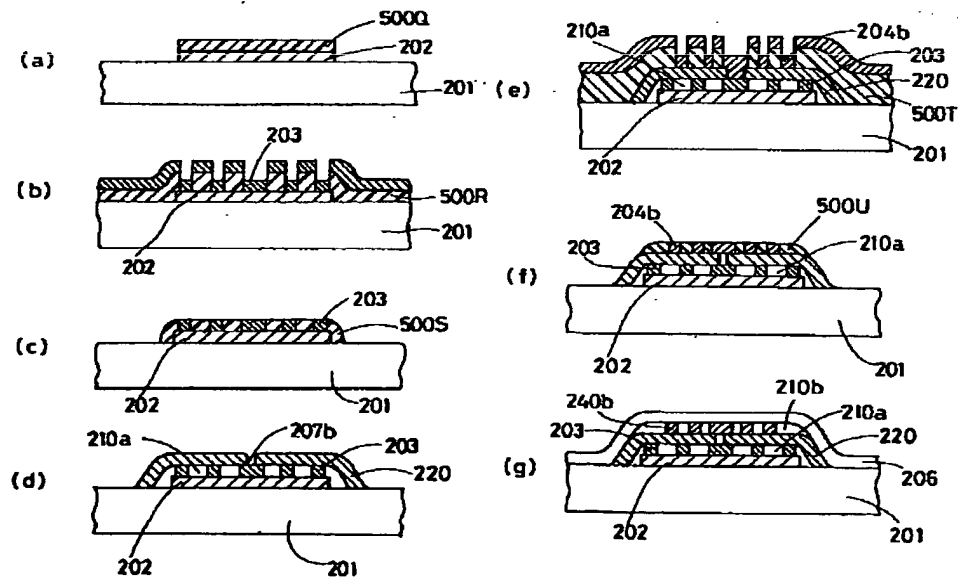
【図8】



【図9】



【図10】



【図11】

